

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: T. KOBAYASHI, et al.

Application No.: New Patent Application

Filed: March 15, 2004

For: ANALOG SIGNAL LEVEL DETECTING APPARATUS

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir:

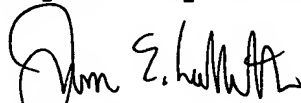
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2003-073196, filed March 18, 2003.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: March 15, 2004

JEL/apg
Attorney Docket No. L8462.04108
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

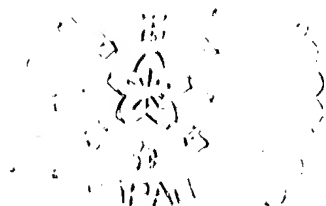
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 7 3 1 9 6
Application Number:

[ST. 10/C] : [J P 2 0 0 3 - 0 7 3 1 9 6]

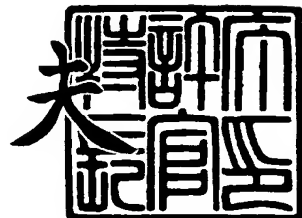
出 願 人 松下電器産業株式会社
Applicant(s):



2 0 0 3 年 8 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 2 5 9 3



【書類名】 特許願

【整理番号】 2924040068

【あて先】 特許庁長官殿

【国際特許分類】 H03K 5/08

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 小林 拓

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 藤井 圭一

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 石田 琢磨

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100076174

 【弁理士】

 【氏名又は名称】 宮井 暎夫

【選任した代理人】

 【識別番号】 100105979

 【弁理士】

 【氏名又は名称】 伊藤 誠



【手数料の表示】

【予納台帳番号】 010814

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アナログ信号レベル検出回路

【特許請求の範囲】

【請求項 1】 入力信号と基準電圧とを比較する第 1 の電圧比較器と、
前記入力信号を整流する整流回路と、
前記整流回路の出力信号と予め任意に設定されたしきい値電圧とを比較する第 2 の電圧比較器と、
アップカウント動作クロックとダウンカウント動作クロックとが独立して入力され、前記第 2 の電圧比較器の出力信号に応じてアップカウント動作およびダウンカウント動作の何れかを選択して実行するアップ／ダウンカウンタ回路と、
前記アップ／ダウンカウンタ回路のカウント計数値を保持するラッチ回路と、
前記第 1 の電圧比較器の出力信号をもとに前記アップ／ダウンカウンタ回路のリセットタイミングとラッチ回路の保持タイミングとを決定するタイミングパルスを発生するタイミングパルス発生回路と、
前記ラッチ回路の出力信号を直流電圧に変換するデジタルーアナログ変換回路とを備えたアナログ信号レベル検出器。

【請求項 2】 前記第 2 の電圧比較器と前記アップ／ダウンカウンタ回路との間に波形整形回路を設けて、アップカウント動作クロックとダウンカウント動作クロックのうちの周期の短い方のクロックより短い期間内での前記第 2 の電圧比較器の出力信号の変化の前記アップ／ダウンカウンタへの伝達を禁止するようにした請求項 1 記載のアナログ信号レベル検出器。

【請求項 3】 前記波形整形回路は、アップカウント動作クロックとダウンカウント動作クロックのうちの周期の短い方のクロックで更新動作を行うラッチ回路からなる請求項 2 記載のアナログ信号レベル検出器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、音声信号に代表されるアナログ信号のレベルを検出するためのアナ

ログ信号レベル検出器に関するものである。

【0002】

【従来の技術】

従来のアナログ信号レベル検出器を図4に示す。図4において、符号1はアナログ信号が入力されるアナログ信号入力端子を示す。符号2は基準バイアス電圧が入力される基準バイアス電圧入力端子を示す。符号3は入力されたアナログ信号と基準バイアス電圧とを比較し、負となる領域を正に反転させる全波整流回路を示す。符号4は全波整流回路3により得られた整流電圧を積分して直流電圧に変換する平滑用のキャパシタを示す。符号5はアナログ信号レベル検出器の出力端子を示す。

【0003】

アナログ信号レベル検出器の目的は、整流されたアナログ信号を、キャパシタを使用して積分し、直流電圧に正しく変換することである。そのためには、キャパシタ4の容量値により決定される積分動作の時定数を、入力されるアナログ信号の最長信号周期に対して、十分に大きな時定数で積分する必要がある。結果として、キャパシタ4の容量値は集積回路に内蔵不可能な非常に大きな値になってしまう。

【0004】

その課題の解決を目的として、集積回路に内蔵不可能な大容量を必要としないアナログ信号レベル検出器として、特許第2790176号公報に記載のアナログ信号レベル検出器がすでに提案されている（特許文献1参照）。

【0005】

図5は、特許第2790176号公報に開示されたアナログ信号レベル検出器の基本的な回路構成を示すブロック図である。図6は、図5に示すアナログ信号レベル検出器の動作を理解するために有用なタイミング波形図である。図5において、符号6はアナログ入力信号V1を全波整流する全波整流器を示す。符号7は比較器を示す。符号9は比較器7の出力信号のレベルに応じてアップカウント動作とダウンカウント動作とを選択的に実行するアップ／ダウンカウンタを示す。符号8はアップ／ダウンカウンタ9のカウンタ計数値を直流電圧に変換するデジ

タルーアナログ変換器を示す。

【0006】

アナログ入力信号V1は、全波整流器6の入力端子Aに加えられ、全波整流器6により整流される。全波整流器6の出力端子Bに現れる出力信号V2は、全波整流波形となる。図6(a)には、アナログ入力信号V1として、例えば正弦波を示している。その周期は、周波数をFとしたときに $1/F$ である。また、図6(b)には、全波整流器6の出力信号V2を示している。

【0007】

全波整流器6の出力端子Bは、比較器7の一方の入力端子へ接続されている。その比較器7の他方の入力端子は、デジタルーアナログ変換器8の出力端子Cに接続されている。

【0008】

デジタルーアナログ変換器8の入力端子は、アップ／ダウンカウンタ9の出力端子に接続されている。このアップ／ダウンカウンタ9のアップカウント動作およびダウンカウント動作の周波数fは、アップ／ダウンカウンタ9へ入力されるクロック信号Dの周波数によって定められる。デジタルーアナログ変換器8の出力信号V3は、アップ／ダウンカウンタ9のカウント値の変化に対応した値となり、比較器7の他方の入力端子に与えられる。図6(b)には、デジタルーアナログ変換器8の出力信号V3を、全波整流器6の出力信号V2と重ねて図示している。

【0009】

デジタルーアナログ変換器8の出力信号V3は、図6からわかるように、アップ／ダウンカウンタ9がアップカウントするときに増大し、ダウンカウントするときに減少する。

【0010】

さらに言えば、全波整流器6の出力信号V2がデジタルーアナログ変換器8の出力信号V3より大きいときには、デジタルーアナログ変換器8の出力信号V3のレベルが一定の勾配をもって増大する。また、逆に全波整流器6の出力信号V2がデジタルーアナログ変換器8の出力信号V3より小さいときには、デジタル

ーアナログ変換器 8 の出力信号 V 3 のレベルが一定の勾配をもって減少する。

【0011】

この場合、デジタルーアナログ変換器 8 の出力信号 V 3 は、増加も減少も $1/f$ の周期で行われ、かつ同一の一定量ずつ段階的に増加もしくは減少する。そのため、増加するときの勾配と減少するときの勾配とは同じである。

【0012】

そして、デジタルーアナログ変換器 8 の出力信号 V 3 の平均値 V_m が、入力信号の実効値を表すことになる。

【0013】

【特許文献 1】

特許第 2790176 号公報

【0014】

【発明が解決しようとする課題】

しかしながら、特許第 2790176 号公報に記載されたアナログ信号レベル検出器では、アップ/ダウンカウンタのアップカウント動作およびダウンカウン動作時の動作周波数が、ともに共通のクロック信号 D の周波数により一義的に決定される。そのため、カウント値が増大するときの時間傾斜と減少するときの時間傾斜は同じである。

【0015】

よって、アナログ入力信号 V 1 のレベル変化に対する出力応答性が速く、アナログ入力信号 V 1 の実効値を表すデジタルーアナログ変換器 9 の出力信号 V 3 は、三角波のように段階的に変化する。

【0016】

例えば、アナログ音声信号レベルにより利得を制御する、音声 AGC 回路の制御信号を得るための手段として、上記特許 2790176 号公報に記載のアナログ信号レベル検出器を使用した場合、アナログ入力信号 V 1 の実効値レベルが一定であるにもかかわらず、実効値を表すデジタルーアナログ変換器 9 の出力信号 V 3 のレベルが三角波のように変化する。そのため、音声 AGC 回路の利得が三角波の変化に追従し、AGC 回路の出力音声信号のレベルが常に伸張と圧縮を繰

り返し、違和感のある音声信号になるという課題を有する。

【0017】

また、上記特許第2790176号公報に好適な実施例として提案されているデジタルーアナログ変換器は、アップ／ダウンカウンタのカウント周波数に従って生成された、切換制御信号により制御されるキャパシタ切換方式である。

【0018】

本発明の目的は、キャパシタを必要とせずに、上記従来課題を解決し、アナログ入力信号のレベル変化に対する出力応答性を選択可能にしたアナログ信号レベル検出器を提供することである。

【0019】

【課題を解決するための手段】

上記従来課題を解決するために、本発明の請求項1記載のアナログ信号レベル検出器は、入力信号と基準電圧とを比較する第1の電圧比較器と、入力信号を整流する整流回路と、整流回路の出力信号と予め任意に設定されたしきい値電圧とを比較する第2の電圧比較器と、アップカウント動作用クロックとダウンカウント動作用クロックとが独立して入力され、第2の電圧比較器の出力信号に応じてアップカウント動作およびダウンカウント動作の何れかを選択して実行するアップ／ダウンカウンタ回路と、アップ／ダウンカウンタ回路のカウント計数値を保持するラッチ回路と、第1の電圧比較器の出力信号をもとにアップ／ダウンカウンタ回路のリセットタイミングとラッチ回路の保持タイミングとを決定するタイミングパルスが発生するタイミングパルス発生回路と、ラッチ回路の出力信号を直流電圧に変換するデジタルーアナログ変換回路とを備えている。

【0020】

この構成によれば、整流したアナログ入力信号をしきい値電圧と比較し、比較結果に基づいてアップ／ダウンカウンタのカウント方向を切り替え、アップ／ダウンカウンタの出力をラッチ回路で保持し、ラッチ回路の出力をデジタルーアナログ変換回路で直流電圧に変換する構成を採用し、かつ、アップカウント動作用クロックおよびダウンカウント動作用クロックを独立して入力する2つの入力端子をアップ／ダウンカウンタに設け、アップ／ダウンカウンタのリセットタイミ

ングおよびラッチ回路のラッチタイミングを決定するタイミングパルス発生回路を設けたことにより、キャパシタを全く必要とせずに、アナログ入力信号のレベル変化に対する出力応答性が、選択可能なアナログ信号レベル検出器を提供することができる。また、このアナログ信号レベル検出器の出力信号を、例えば音声 A G C 回路の制御信号として使用しても、出力音声信号が常に伸張と圧縮を繰り返すことは無くなり、違和感の無い音声信号を提供することができる。

【0021】

本発明の請求項 2 記載のアナログ信号レベル検出器は、請求項 1 記載のアナログ信号レベル検出器において、第 2 の電圧比較器とアップ／ダウンカウンタ回路との間に波形整形回路を設けて、アップカウント動作用クロックとダウンカウント動作用クロックのうちの周期の短い方のクロックより短い期間内での第 2 の電圧比較器の出力信号の変化の伝達を禁止するようにしている。

【0022】

この構成によれば、第 2 の電圧比較器とアップ／ダウンカウンタ回路との間に波形整形回路を設けて、アップカウント動作用クロックとダウンカウント動作用クロックのうちの周期の短い方のクロックより短い期間内での第 2 の電圧比較器の出力信号の変化の伝達を禁止するようにしたので、外来ノイズに代表される、予め設定されたアナログ入力信号のレベル変化に対する出力応答性よりも、短い時間での入力信号レベル変化には追従しない、高精度なアナログ信号レベル検出器を提供することができる。

【0023】

本発明の請求項 3 記載のアナログ信号レベル検出器は、請求項 2 記載のアナログ信号レベル検出器において、波形整形回路は、アップカウント動作用クロックとダウンカウント動作用クロックのうちの周期の短い方のクロックで更新動作を行うラッチ回路からなる。

【0024】

この構成によれば、請求項 2 記載のアナログ信号レベル検出器と同様の効果を奏する。

【0025】

【発明の実施の形態】

(第1の実施の形態:請求項1に対応)

図1は、本発明の第1の実施の形態のアナログ信号レベル検出器を示すブロック図である。図1において、符号10はアナログ入力信号V4の入力端子を示し、符号11は基準バイアス電圧V5の入力端子を示している。

【0026】

符号12は全波整流回路を示している。この全波整流回路12は、アナログ入力信号V4と基準バイアス電圧V5とを比較することにより、アナログ入力信号V4のうち基準バイアス電圧V5からみて負となる領域を正に反転させることを目的として設けられている。

【0027】

符号13は電圧比較器を示し、全波整流回路12の出力信号V6と予め任意に設定したしきい値電圧V7とを比較し、その比較結果に応じて、ハイレベルもしくはローレベルの電圧を制御信号V8として出力する。

【0028】

符号14はしきい値電圧V7を電圧比較器13に入力するための入力端子を示している。

【0029】

符号18は電圧比較器13から出力される制御信号V8を入力信号としてアップカウンタ動作およびダウンカウンタ動作を選択するアップ/ダウンカウンタ回路を示している。符号15は電圧比較器13から出力される制御信号V8をアップ/ダウン制御信号として入力する入力端子を示している。符号16はアップカウンタ動作クロックV9の入力端子を示している。符号17はダウンカウンタ動作クロックV10の入力端子を示している。符号19はアップ/ダウンカウンタ回路18をリセットするリセット信号V11の入力端子を示している。符号20はアップ/ダウンカウンタ18のカウンタ計数値に対応したデジタル信号出力端子を示している。

【0030】

符号21はアップ/ダウンカウンタ18のデジタル信号出力を保持するための

ラッチ回路を示している。符号 22 はラッチ回路 12 の保持タイミングを決定する制御信号 V12 の入力端子を示している。符号 23 はアナログ入力信号 V4 と基準電圧 V5 とを比較する電圧比較器を示している。

【0031】

符号 24 は、電圧比較器 23 の出力を入力として、アップ／ダウンカウンタ 18 のリセットタイミングとラッチ回路 21 の保持タイミングとを決定するタイミングパルス発生回路を示している。

【0032】

符号 25 はラッチ回路 21 に保持されたデジタル信号出力を入力とし、直流電圧に変換するデジタルーアナログ変換回路を示している。符号 26 はデジタルーアナログ変換回路 25 の出力電圧 V13 の出力端子を示している。

【0033】

つぎに、この回路の動作を図 2 を参照しながら説明する。入力端子 10 より入力されたアナログ入力信号 V4 (図 2 (a)) は、全波整流回路 12 において、入力端子 11 より入力された基準バイアス電圧 V5 (図 2 (a)) と比較され、基準バイアス電圧 V5 に対して負となる領域が正に反転される。その結果、全波整流回路 12 からは、出力信号 V6 (図 2 (b)) が得られる。この動作においては、入力端子 10 より入力されるアナログ入力信号 V4 は、全波整流回路 12 の入力端子 11 より入力される基準バイアス電圧 V5 でバイアスされた信号であることが望ましい。

【0034】

つぎに、全波整流回路 12 の出力信号 V6 は、電圧比較器 13 の一方の入力端子に入力され、しきい値電圧入力端子 14 より入力されたしきい値電圧 V7 と比較される。電圧比較器 13 は、全波整流回路 12 の出力信号 V6 が、しきい値電圧 V7 より大きな場合にはハイレベルを、しきい値電圧 V7 より小さな場合にはローレベルを、アップ／ダウンカウンタ 18 のアップカウント動作およびダウンカウント動作を選択するための制御信号 V8 (図 2 (c)) として出力する。

【0035】

電圧比較器 23 は、アナログ入力信号 V4 と基準バイアス電圧 V5 とを比較し

、アナログ入力信号V 4が基準バイアス電圧V 5より大きい場合はハイレベルを、基準バイアス電圧V 5より小さい場合はローレベルを、タイミングパルス発生回路 2 4 に対して出力する。

【0036】

タイミングパルス発生回路 2 4 は、電圧比較器 2 3 の出力信号とアップカウンタ動作クロックV 9 とを入力とし、電圧比較器 2 3 の出力信号がハイレベルの期間におけるアップカウンタ動作クロックの最初の1周期の期間をアップ／ダウンカウンタ 1 8 のリセット信号V 1 1 として出力し、電圧比較器 2 3 の出力信号を、ラッチ回路 2 1 のラッチタイミング信号V 1 2 として、そのまま出力する。

【0037】

アップ／ダウンカウンタ 1 8 は、入力端子 1 5 より入力される制御信号V 8 がハイレベルの期間は、入力端子 1 6 より入力されるアップカウンタ動作クロックV 9 により決定されたスピードで、アップカウンタ動作を実施する。また、入力端子 1 5 より入力される制御信号V 8 がローレベルの期間は、入力端子 1 7 より入力されるダウンカウンタ動作クロックV 1 0 により決定されたスピードで、ダウンカウンタ動作を実施する。そして、アナログ入力信号V 4 の1周期に1回、リセット信号V 1 1 によりこのアップカウンタ動作・ダウンカウンタ動作はリセットされる。図 2 (d) にアップ／ダウンカウンタ 1 8 のカウント計数值V 1 4 とラッチ回路 2 1 の出力V 1 5 とを示している。

【0038】

ラッチ回路 2 1 は、ラッチタイミング信号V 1 2 の立ち上がり時に、アップ／ダウンカウンタ 1 8 の出力を保持する。1周期の期間におけるアップ／ダウンカウンタ 1 8 のカウント計数に対応した、ラッチ回路 2 1 に保持されたデジタル信号は、デジタル－アナログ変換器 2 5 の入力となって直流電圧に変換され、出力端子 2 6 よりアナログ入力信号V 4 のレベル検出結果（デジタル－アナログ変換器 2 5 の出力電圧V 1 3 ）として出力される。

【0039】

このアナログ信号レベル検出器によると、アップカウンタ動作クロックV 9

およびダウンカウント動作クロック V10 を独立して入力する 2 つの入力端子 16, 17 を有することと、アップ／ダウンカウンタ 18 のリセットタイミングおよびラッチ回路 21 のラッチタイミングを決定するタイミングパルス発生回路 24 とを有することで、アナログ入力信号 V4 のレベル変化に対する応答性を自由に設定することが可能となる。

【0040】

以上のように、この実施の形態によれば、整流したアナログ入力信号 V6 をしきい値電圧 V7 と比較し、比較結果に基づいてアップ／ダウンカウンタ 18 のカウント方向を切り替え、アップ／ダウンカウンタ 18 の出力をラッチ回路 21 で保持し、ラッチ回路 21 の出力をデジタル－アナログ変換回路 25 で直流電圧に変換する構成を採用し、かつ、アップカウント動作クロック V9 およびダウンカウント動作クロック V10 を独立して入力する 2 つの入力端子 16, 17 をアップ／ダウンカウンタ 18 に設け、アップ／ダウンカウンタ 18 のリセットタイミングおよびラッチ回路 21 のラッチタイミングを決定するタイミングパルス発生回路 24 を設けたことにより、キャパシタを全く必要とせずに、アナログ入力信号 V1 のレベル変化に対する出力応答性が、選択可能なアナログ信号レベル検出器を提供することができる。

【0041】

また、このアナログ信号レベル検出器の出力信号を、例えば音声 AGC 回路の制御信号として使用しても、出力音声信号が常に伸張と圧縮を繰り返すということとは無くなり、違和感の無い音声信号を提供することができる。

【0042】

(第 2 の実施の形態：請求項 2, 3 に対応)

図 3 は、本発明の第 2 の実施の形態のアナログ信号レベル検出器を示すブロック図である。この実施の形態は、図 3 に示すように、電圧比較器 13 の出力端とアップ／ダウンカウンタ 18 の入力端子 15 との間に波形整形器 27 を設けたもので、それ以外の構成は、第 1 の実施の形態と同様である。

【0043】

この波形整形器 27 は、電圧比較器 13 の出力信号 V8 とアップカウント動作

用クロック V 9 およびダウンカウント動作用クロック V 10 とを入力とする。そして、アップカウント動作用クロック V 9 およびダウンカウント動作用クロック V 10 の周期を比較し、周期が短い方のクロックを選択し、選択された周期より短い期間での電圧比較器 13 の出力信号 V 8 の変化を、アップカウント動作およびダウンカウント動作を選択するための制御信号としてアップ／ダウンカウンタ 18 へ伝達しないようにしている。

【0044】

具体的には、波形整形器 27 は、アップ／ダウンカウンタ 18 のアップカウント動作用クロック V 9 とダウンカウント動作用クロック V 10 の周期を比較し、周期が短い方のクロックを選択し、選択されたクロックの 1 周期毎に、電圧比較器 13 の出力信号 V 8 の変化を検出して、アップ／ダウンカウンタ 18 のアップカウント動作およびダウンカウント動作を選択するための制御信号として出力する。

【0045】

この実施の形態の構成によれば、波形整形器 27 を設けたので、外来ノイズに代表される、予め設定された入力信号 V 1 のレベル変化に対する出力応答性よりも、短い時間での入力信号レベル変化には追従しない、高精度なアナログ信号レベル検出器を提供することができる。

【0046】

なお、上記の実施の形態では、全波整流回路を用いていたが、半波整流回路を使用することも可能である。

【0047】

【発明の効果】

以上のように、請求項 1 記載のアナログ信号レベル検出器によれば、キャパシタを全く必要とせずに、アナログ入力信号のレベル変化に対する出力応答性が、選択可能なアナログ信号レベル検出器を提供することができる。

【0048】

また、このアナログ信号レベル検出器の出力信号を、例えば音声 AGC 回路の制御信号として使用しても、出力音声信号が常に伸張と圧縮を繰り返すことは無

くなり、違和感の無い音声信号を提供することができる。

【0049】

さらには、請求項 2、3 記載のアナログ信号レベル検出器によれば、外来ノイズに代表される、予め設定されたアナログ入力信号のレベル変化に対する出力応答性よりも、短い時間での入力信号レベル変化には追従しない、高精度なアナログ信号レベル検出器を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態のアナログ信号レベル検出器の構成を示すブロック図である。

【図 2】

本発明の第 1 の実施の形態のアナログ信号レベル検出器の動作を理解するために有用なタイミング波形図である。

【図 3】

本発明の第 2 の実施の形態のアナログ信号レベル検出器の構成を示すブロック図である。

【図 4】

従来のアナログ信号レベル検出器の構成を示すブロック図である。

【図 5】

特許第 2790176 号公報に示されたアナログ信号レベル検出器の基本的な構成を示すブロック図である。

【図 6】

特許第 2790176 号公報に示されたアナログ信号レベル検出器の動作を理解するために有用なタイミング波形図である。

【符号の説明】

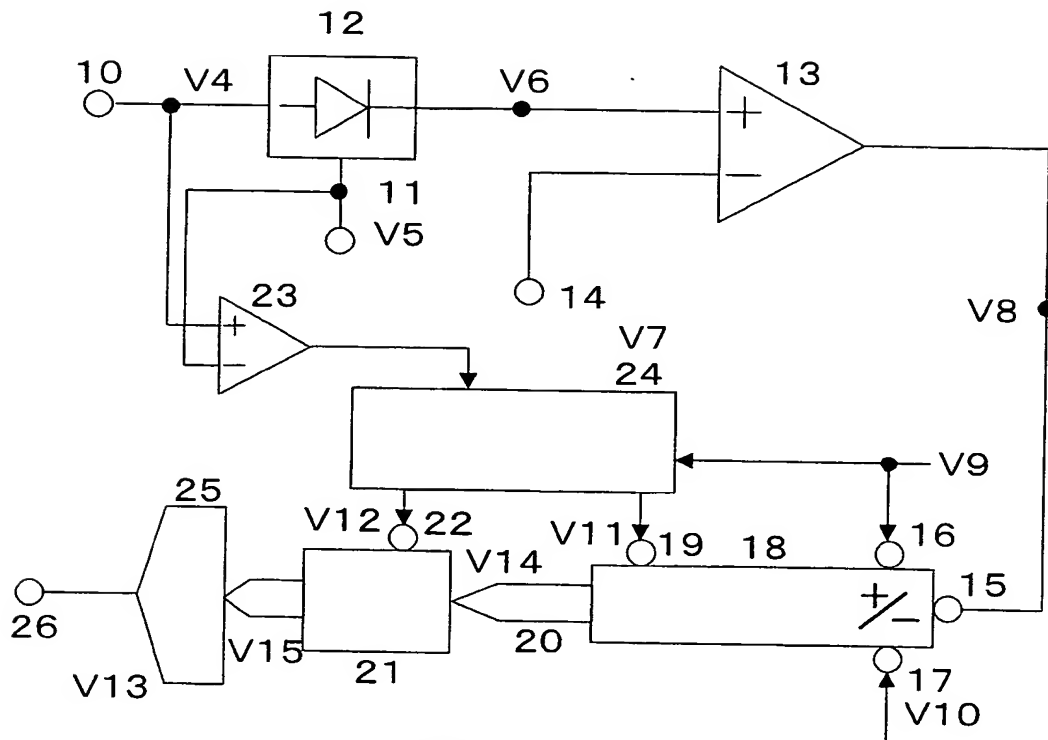
- 1 アナログ信号入力端子
- 2 基準バイアス電圧入力端子
- 3 全波整流回路
- 4 キャパシタ

- 5 アナログ信号レベル検出器の出力端子
- 6 全波整流器
- 7 比較器
- 8 デジタルーアナログ変換器
- 9 アップ／ダウンカウンタ
- 1 0 アナログ信号 V 4 の入力端子
- 1 1 基準バイアス電圧 V 5 の入力端子
- 1 2 全波整流回路
- 1 3 電圧比較器
- 1 4 しきい値電圧 V 7 の入力端子
- 1 5 アップ／ダウン制御信号の入力端子
- 1 6 アップカウント動作用クロック V 9 の入力端子
- 1 7 ダウンカウント動作用クロック V 1 0 の入力端子
- 1 8 アップ／ダウンカウンタ回路
- 1 9 アップ／ダウンカウンタ回路のリセット信号 V 1 1 の入力端子
- 2 0 デジタル信号出力端子
- 2 1 ラッチ回路
- 2 2 ラッチ回路の保持タイミングを決定する制御信号 V 1 2 の入力端子
- 2 3 電圧比較器
- 2 4 タイミングパルス発生回路
- 2 5 デジタルーアナログ変換回路
- 2 6 デジタルーアナログ変換回路出力電圧 V 1 3 の出力端子
- 2 7 波形整形器

【書類名】

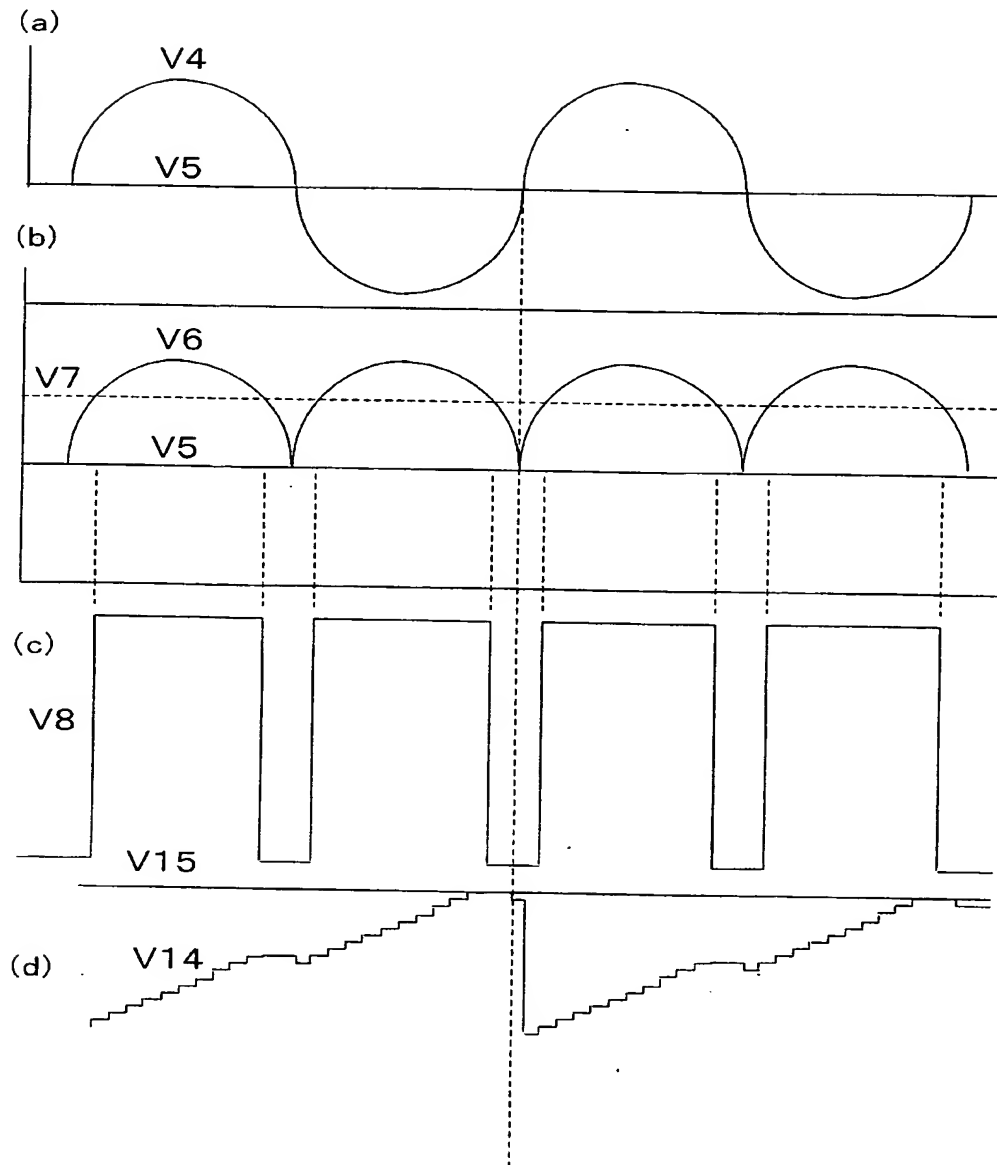
図面

【図 1】

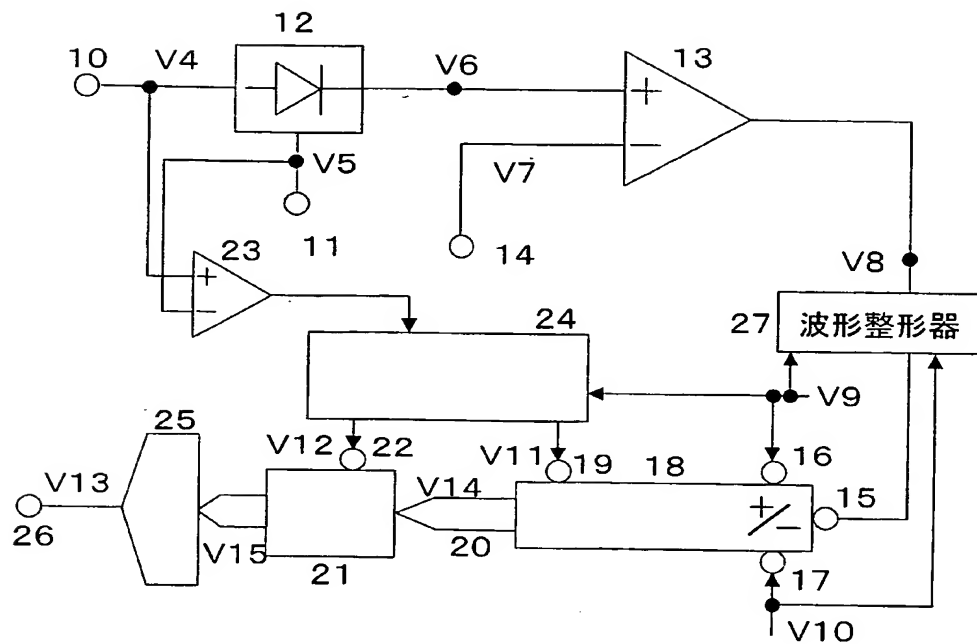


- 12 全波整流回路
- 13 電圧比較器
- 18 アップ／ダウンカウンタ
- 21 ラッチ回路
- 23 電圧比較器
- 24 タイミングパルス発生回路
- 25 デジタルーアナログ変換回路

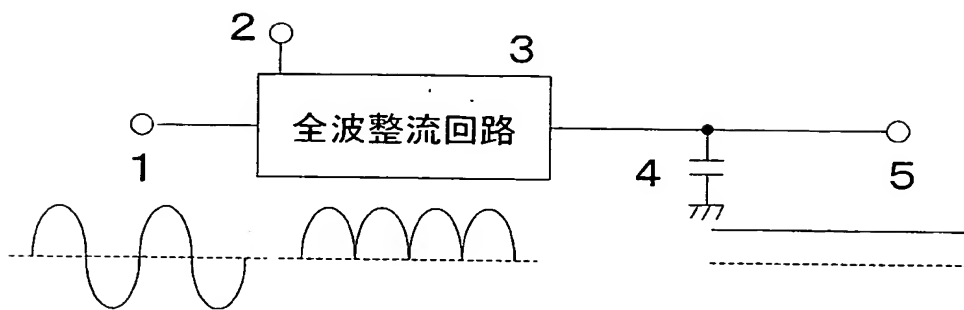
【図 2】



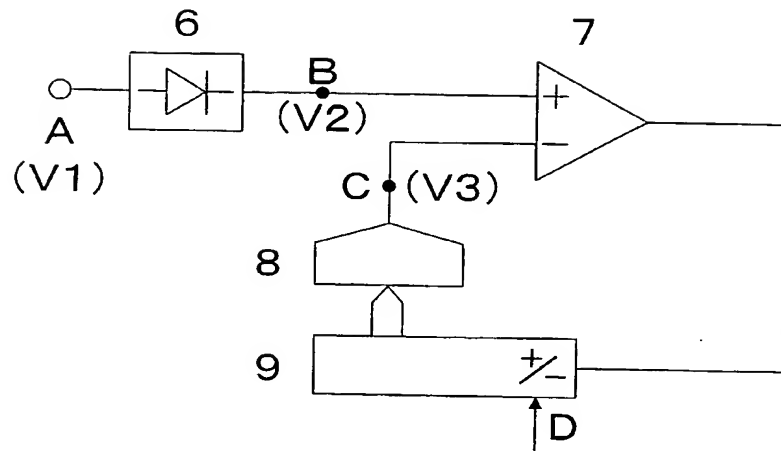
【図 3】



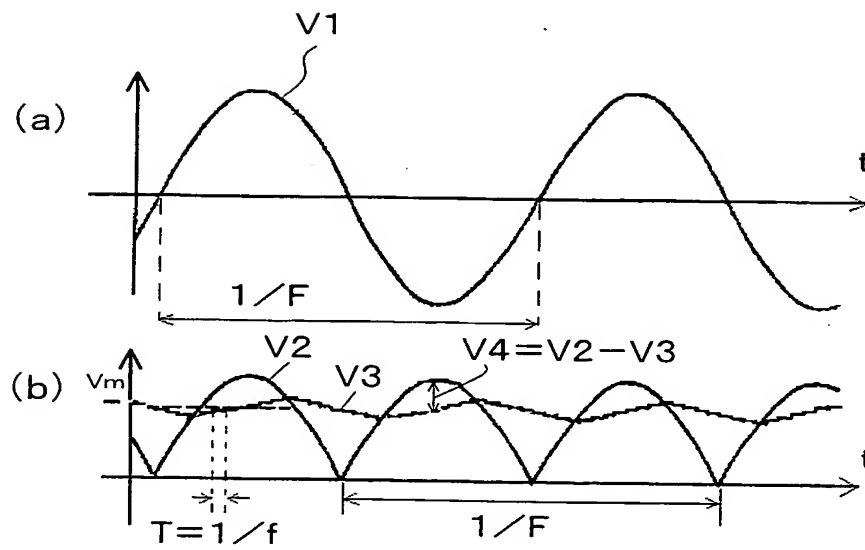
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 キャパシタを全く必要とせずに、入力信号のレベル変化に対する出力応答性を選択可能にする。

【解決手段】 整流したアナログ入力信号としきい値電圧とを電圧比較器 13 で比較し、比較結果に基づいてアップ／ダウンカウンタ 18 のカウント方向を切り替え、アップ／ダウンカウンタ 18 の出力をラッチ回路 21 で保持し、ラッチ回路 21 の出力をデジタル－アナログ変換回路 25 で直流電圧に変換する構成を採用し、かつ、アップカウント動作クロックおよびダウンカウント動作クロックを独立して入力する 2 つの入力端子 16, 17 をアップ／ダウンカウンタ 18 に設け、アップ／ダウンカウンタ 18 のリセットタイミングおよびラッチ回路 21 のラッチタイミングを決定するタイミングパルス発生回路 24 を設ける。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 7 3 1 9 6
受付番号	5 0 3 0 0 4 3 8 3 7 2
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 5 年 3 月 1 9 日

< 認定情報・付加情報 >

【提出日】	平成15年 3月18日
-------	-------------

次頁無

特願 2 0 0 3 - 0 7 3 1 9 6

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社